

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 8 4 1 2 6

(43) 公開日 平成 9 年 (1997) 10 月 31 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H03L 7/08			H03L 7/08	L
H04N 5/12			H04N 5/12	Z

審査請求 未請求 請求項の数 6 F D (全 9 頁)

(21) 出願番号 特願平 8 - 1 1 5 2 7 5
(22) 出願日 平成 8 年 (1996) 4 月 1 5 日

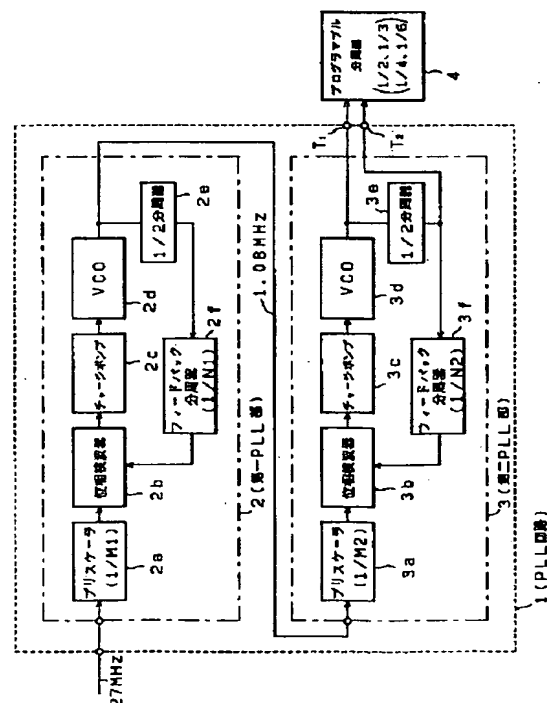
(71) 出願人 0 0 0 0 0 2 1 8 5
ソニー株式会社
東京都品川区北品川 6 丁目 7 番 3 5 号
(72) 発明者 尾崎 望
東京都品川区北品川 6 丁目 7 番 3 5 号 ソ
ニー株式会社内
(74) 代理人 弁理士 脇 篤夫 (外 1 名)

(54) 【発明の名称】 P L L 回路及びデコーダ装置

(57) 【要約】

【課題】 位相検波器の入力信号周波数と V C O の発振周波数の比率を小さくして、この比率の大きさに起因して増大するジッタを抑制する。

【解決手段】 入力したクロックをもとに V C O 2 d、3 d において所定の発振周波数を得るための分周率を素因数分解し、分解された因子で分周率が設定されているプリスケアラ分周器 2 a、3 a、及びフィードバック分周器 2 f、3 f を有している P L L 手段 2、3 を複数個直列に接続して P L L 回路 1 を構成する。さらに、P L L 手段 2 のプリスケアラ分周器 2 a、フィードバック分周器 2 f の分周率を共通、かつ固定とし、P L L 手段 3 のプリスケアラ分周器 3 a、フィードバック分周器 3 f の分周率をサンプリング周波数に応じて可変とする。



【特許請求の範囲】

【請求項 1】 入力したクロックをもとに発振手段において所定の発振周波数を得るための分周率を素因数分解し、分解された因子で分周率が設定されているプリスケラ分周器、及びフィードバック分周器を有して構成される PLL 手段が複数個直列に接続されて構成されていることを特徴とする PLL 回路。

【請求項 2】 第一段目に構成される前記 PLL 手段のプリスケラ分周器、及びフィードバック分周器の分周率を共通、かつ固定とし、第二段目以降の前記 PLL 手段のプリスケラ分周器、及びフィードバック分周器の分周率をサンプリング周波数に応じて可変とすることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】 第一段目に構成される前記 PLL 手段における発振手段を電圧制御水晶発振器で構成したことを特徴とする請求項 1 に記載の PLL 回路。

【請求項 4】 入力したクロックによって映像データの復調処理を行う映像データデコーダと、前記入力したクロックをもとに発振手段において所定の発振周波数を得るための分周率を素因数分解し、分解された因子で分周率が設定されているプリスケラ分周器、及びフィードバック分周器を有して構成される PLL 手段が複数個直列に接続されて構成されている PLL 回路と、前記 PLL 回路で生成されるクロックによって音声データの復調処理を行う音声データデコーダと、を備えて構成されていることを特徴とするデコーダ装置。

【請求項 5】 第一段目に構成される前記 PLL 手段のプリスケラ分周器、及びフィードバック分周器の分周率を共通、かつ固定とし、第二段目以降の前記 PLL 手段のプリスケラ分周器、及びフィードバック分周器の分周率をサンプリング周波数に応じて可変とすることを特徴とする請求項 4 に記載のデコーダ装置。

【請求項 6】 第一段目に構成される前記 PLL 手段における発振手段を電圧制御水晶発振器で構成したことを特徴とする請求項 4 に記載のデコーダ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、PLL 回路及び PLL 回路を用いたデコーダ装置に係わり、特に音声／映像データを同期させて復調する場合のクロックを生成する PLL 回路及びこの PLL 回路を用いたデコーダ装置に関するものである。

【0002】

【従来の技術】 最近では、例えばビデオ CD や DVD (Digital Video Disk) 等、映画、音楽ライブ (映像データ及び音声データ) 等が記録されているメディアが普及し、例えばパーソナルコンピュータや専用再生機で再生することができるようになってきている。ただし、これら

の映像／音声データはそのままデジタルデータとして記録すると膨大な量なので、国際標準規格として知られている例えば MPEG (Moving Picture Experts Group) 方式によって圧縮して記録している。

【0003】 このような方式の記録媒体であるビデオ CD、DVD 等は映像／音声データを同時に扱うため、リップシンクで記録されているので、再生時に何らの同期を取る必要がある。例えば上記 MPEG 方式では、圧縮されたデータの中に標準時刻となる値と、映像／音声の各フレームを再生すべきタイミングを示す時刻の指標が挿入されており、標準時刻と指標を比較して適切な時刻になった時点で映像／音声データをそれぞれ再生することにより同期を取るようにしている。

【0004】 この場合、再生中のある時点で映像／音声データの同期が取られると、それ以降はその同期は保たれることになる。しかし、実際には、現在の再生システム (パーソナルコンピュータや専用再生機等) では映像系が使用している再生クロックと音声系が使用している再生クロックの同期が取れておらず、微妙なずれがあるため、映像のフレーム或いは音声のフレーム単位での同期を取ることが必要となる。例えば、映像データに比べて音声データの再生が遅れていた場合は、音声データをスキップするか、又は映像フレームをリピートして同期をとる。また、逆に映像データに比べて音声データの再生が進んでいた場合、音声データをリピートするか、又は映像フレームをスキップして同期を取ることになる。

【0005】 しかし、例えば映像の再生タイミングをマスタークロックとして音声データをスキップ、又はリピートして同期を取る方法では、スキップ、リピートによる音声データの不連続の為に不必要なノイズが発生してしまう。また、音声データの再生タイミングをマスタークロックとして映像フレームのスキップ、リピートを行うと、圧縮されている映像データを蓄積しておくバッファメモリの容量を大きくすることになる。

【0006】 そこで、映像系の再生クロックと音声系の再生クロックを完全に同期させるために、PLL (Phase Locked Loop) 回路を用いて、映像系の再生クロック (例えば 27 MHz) に音声系の再生クロックをロックすることが行われている。MPEG 方式では転送側に対して PLL 回路でロックされた例えば 27 MHz クロックをマスタークロックとするので、音声系の再生クロックはこの 27 MHz のマスタークロックに対して、さらに PLL 回路によって生成されるようにする。音声系のクロックは例えばオーバーサンプリング D/A 変換器 (DAC) の再生クロック等として用いられるが、前記 PLL 回路によって生成された D/A 変換器用のクロックの品質、特にジッタが再生音声の音質を決定する重要な要因になり、ジッタを抑えることが PLL 回路の最大の課題となっている。

【0007】ところで、MPEG方式等の音声信号を圧縮する、様々なシステムで使用されるサンプリング周波数は数十kHzの範囲にあり、主な値としては、例えば
 32.00kHz / 16.00kHz
 44.1kHz / 22.05kHz
 48.00kHz / 24.00kHz
 等の6通りが知られている。これらのサンプリング周波数(f_s)でサンプリングを行う場合、DACに対してはオーバーサンプリングを行うために以下に示すようなサンプリング周波数の倍数のクロックを入力することが必要とされている。

256f_s 384f_s 512f_s 768f_s

【0008】図3は、従来のシステムクロックから前記したサンプリング周波数を形成するPLL回路の一例を示すブロック図である。一点鎖線で示されているPLL回路20は、例えばプリスケラ21、位相検波器22、チャージポンプ23、VCO (Voltage-Controlled Oscillator) 24、1/2分周器25、フィードバック分周器26等によって構成され、このPLL回路20の出力は後段に設けられているプログラマブル分周器27に入力される。

【0009】プリスケラ21は、PLL回路20に入力される高周波の入力信号(例えば27MHz)を1/Mの分周比(変更可能)で分周して位相検波器22に供給する。位相検波器22はプリスケラ21で分周された入力信号と、後述するフィードバック分周器26で分周された帰還信号の位相を比較し、その差に応じた信号を出力する。そしてこの信号レベルは、チャージポンプ23によってアナログ出力電圧レベルに変換され、この

電圧レベルに応じてVCO24の発振周波数が制御される。

【0010】VCO24の発振周波数はPLL回路20の後段に設けられているプログラマブル分周器27、またはPLL回路20内に設けられている1/2分周器25に入力される。1/2分周器25はVCO24の発振周波数を1/2に分周してプログラマブル分周器27及びフィードバック分周器26に供給する。フィードバック分周器26は1/2分周器25で分周された信号を1/Nの分周比(変更可能)で分周して位相検波器22に供給し、位相検波器22では前述したようにプリスケラ21とフィードバック分周器26から供給される信号の位相を比較して、その差に応じた電圧レベルが出力されることになる。

【0011】図示したような構成とすることで、PLL回路20では、上記したサンプリング周波数の倍数クロック: 256f_s、384f_s、512f_s、768f_sの最小公倍数である例えば1536f_sのクロックを生成することができるようになる。そして、プログラマブル分周器27において所定の分周比(1/2、1/3、1/4、1/6)で分周して、前記したサンプリング周波数に応じたクロックが生成される。

【0012】PLL回路20では、27MHzのマスタークロックから上記したサンプリング周波数に対応するために、プリスケラ21の分周比1/Mとフィードバック分周器26の分周比1/Nが変更可能とされており、これらの分周比の組み合わせは例えば表3に示されているようになる。

【表3】

サンプリング周波数	M	N
32.00/16.00kHz	1125	1024
44.10/22.05kHz	625	784
48.00/24.00kHz	375	512

したがって、VCO24の発振周波数は
 $27\text{MHz} \times 2 \times (N/M)$
 となる。

【0013】

【発明が解決しようとする課題】ところで、PLL回路20を例えばLSI (Large Scale Integration・・・大規模集積回路)で構成する場合、ジッタの大きさに影響を与える要因としては、VCO24の特性、位相検波器22に入力される信号の周波数、LSI上で生成され

るノイズ等が考えられる。特に図3に示したようなPLL回路20において表3に示した分周比でPLLを行った場合、位相検波器22の入力信号の周波数(以下、入力周波数という)とVCO24の発振周波数の大きな差によってジッタが増大することになる。

【0014】ここで、サンプリング周波数毎の位相検波器22の入力周波数とVCO24の発振周波数の一例を表4に示す。

【表4】

サンプリング周波数	位相検波器入力	VCO発振周波数
16.00/32.00kHz	24.0kHz	49.152MHz
22.05/44.10kHz	43.2kHz	67.7376MHz
24.00/48.00kHz	72.0kHz	73.728MHz

この表4からわかるように、位相検波器22の入力周波数と、VCO24の発振周波数の差は非常に大きく、この場合、位相検波器22の入力周波数とVCO24の発振周波数の比率は、各サンプリング周波数毎に2048、1568、1024となる。そのため、この周波数の差によりVCO24における発振が不安定になってジッタが拡大し、復調される音声データの音質に影響があるという問題がある。

【0015】

【課題を解決するための手段】本発明はこのような問題を解決するためになされたもので、入力したクロックをもとに発振手段において所定の発振周波数を得るための分周率を素因数分解し、分解された因子で分周率が設定されているプリスケアラ分周器、及びフィードバック分周器を有しているPLL手段を複数個直列に接続してPLL回路を構成する。さらに、第一段目に構成される前記PLL手段のプリスケアラ分周器、及びフィードバック分周器の分周率を共通、かつ固定とし、第二段目以降の前記PLL手段のプリスケアラ分周器、及びフィードバック分周器の分周率をサンプリング周波数に応じて可変とする。

【0016】また、入力したクロックによって映像データの復調処理を行う映像データデコーダと、前記入力したクロックをもとに発振手段において所定の発振周波数を得るための分周率を素因数分解し、分解された因子で分周率が設定されているプリスケアラ分周器、及びフィードバック分周器を有して構成されるPLL手段が複数個直列に接続されて構成されているPLL回路と、前記PLL回路で生成されるクロックによって音声データの復調処理を行う音声データデコーダを備えてデコーダ装置を構成する。

【0017】本発明によればVCOの制御電圧を生成する位相検波器の入力信号周波数と、VCOの発振周波数の比率を小さくすることができるので、この比率の大きさに起因して増大するジッタを抑制することができるようになる。

【0018】

【発明の実施の形態】以下、本発明の実施形態を説明する。図1は本実施形態のPLL回路のブロック図を示す図である。破線で示されているように、本実施形態のPLL回路1は、一点鎖線で示されている第一のPLL部2及びその後段に設けられている第二のPLL部3による2段構成とされ、第一のPLL部2の出力周波数が第二のPLL部3に入力されるようになる。第一、第二のPLL部2、3は図3に示したPLL回路20とほぼ同等の構成とされ、位相検波器2b、3b、チャージポンプ2c、3c、VCO2d、3d、1/2分周器2e、3eは、それぞれ位相検波器22、チャージポンプ23、VCO24、1/2分周器24に対応している。

【0019】さらに本発明では、プリスケアラ2a、3aの分周比(M1、M2)、フィードバック分周器2f、3fの分周比(N1、N2)を、例えば表3に示した各サンプリング周波数に応じた分周比(M、N)を素因数分解して、共通の因子を抽出してすることにより設定するようになされている。したがって、共通の因子に対応した第一のPLL部2と、それ以外のサンプリング周波数に依存して変化する因子に対応した第二のPLL部3によってPLL回路1を構成している。

【0020】このPLL回路1で生成された、サンプリング周波数32.00kHz、44.1kHz、48.00kHzに対応したクロックは端子T1から出力され、また、サンプリング周波数16.00kHz、22.05kHz、24.00kHzのクロックは端子T2から出力されてプログラマブル分周器4に供給されるようになる。

【0021】次に、プリスケアラ2a、3aの分周比(M1、M2)、フィードバック分周器2f、3fの分周比(N1、N2)の設定例を説明する。先程表3に示した分周比M、Nを素因数分解すると、表1に示されているようになる。

【表1】

7 サンプリング周波数	M	8 N
32.00/16.00 kHz	$3^2 \times 5^3$	2^{10}
44.10/22.05 kHz	5^4	$2^4 \times 7^2$
48.00/24.00 kHz	3×5^3	2^9

本発明では、この分周比M、Nをそれぞれ2個の因子に分解し、プリスケラ2 a、3 aの分周比(M1、M2)、フィードバック分周器2 f、3 fの分周比(N1、N2)として設定することにより、位相比較器2 b、3 bの入力周波数がほぼ同等になるようにしている。

【0022】例えば第一のPLL部2のプリスケラ2

プリスケラ2 aの分周比 $\cdots \cdots M1 = 5^2 = 25$ (式1)

フィードバック分周器2 fの分周比 $\cdots \cdots N1 = 2^4 = 16$ (式2)

と設定することにより、位相検波器2 bの入力周波数とVCO2 dの発振周波数、及び位相検波器3 bの入力周波数とVCO3 dの発振周波数の比率をほぼ同等にすることができるようになる。

【0023】第二のPLL部3のプリスケラ3 aの分周比M2とフィードバック分周器3 fの分周比N2は、

aの分周比M1とフィードバック分周器2 fの分周比N1は、表1に示した各サンプリング周波数に応じた共通の因子を選択するか、又は位相検波器2 bの入力周波数とVCO2 dの比率が小さくなるように分割して設定する。表1に示した例では、サンプリング周波数32.00 kHzの場合、例えば

プリスケラ2 a及びフィードバック分周器2 fの分周比M1、N1として設定された残りの因子で設定することになり、各サンプリング周波数に応じた第二のPLL部3のM2、N2は例えば表2に示されているようになる。

【表2】

サンプリング周波数	M2	N2
32.00/16.00 kHz	$3^2 \times 5$	2^6
44.10/22.05 kHz	5^2	7^2
48.00/24.00 kHz	3×5	2^8

【0024】上記したように分周比M1、N1、及び分周比M2、N2を設定した場合、第一のPLL部2の位相検波器2 bの入力周波数は1.08 MHz、そしてVCO2 dの発振周波数は17.28 MHzとなり、これが第二のPLL部3に入力される。第二のPLL部3の位相検波器3 bへの入力周波数はサンプリング周波数が例えば32.00 kHzの場合は0.768 MHz、44.1 kHzの場合は1.3824 MHz、48.00 kHzの場合は2.304 MHzとなる。これにより、VCO3 dの発振周波数もサンプリング周波数が例えば32.00 kHzの場合は49.152 MHz、44.1 kHzの場合は67.7376 MHz、48.00 kHzの場合は73.728 MHzとなり端子T1から出力され

る。

【0025】式1、式2、及び表2に示したように分周比を設定することにより、第一のPLL部2の位相検波器2 bの入力周波数とVCO2 dの発振周波数の比率は32(34.56 MHz : 1.08 MHz)となり、第二のPLL部3の位相検波器3 bの入力周波数とVCO3 dの発振周波数の比率は、サンプリング周波数が32.00 kHzの場合は64(49.152 MHz : 0.768 MHz)、44.10 kHzの場合は49(67.7376 MHz : 1.3824 MHz)、48.00 kHzの場合は32(73.728 MHz : 2.304 MHz)となる。

【0026】このように、第一のPLL部2のプリスケ

ーラ 2 a、フィードバック分周器 2 f の分周比 M 1、N 1 及び、第二の P L L 部 3 のプリスケラ 3 a、フィードバック分周器 3 f の分周比 M 2、N 2 を設定することで、位相検波器 3 b の入力周波数と V C O 3 d の発振周波数の比率が従来の 1 0 2 4 ~ 2 0 4 8 から 3 2 ~ 6 4 へと 3 0 倍程度改善されるようになる。したがって、この比率に起因するジッタを抑制することができるようになる。また、第一の P L L 部 2 において、各サンプリング周波数に対して共通の因子でプリスケラ 2 a、フィードバック分周器 2 f の分周比 M 1、N 1 を設定することがでる。これにより V C O 2 d の発振周波数を固定とすることができるので、安定した周波数によってジッタの少ない電圧制御水晶発振器 (Voltage Control X-tal Oscillator) を用いることができるようになる。

【0027】さらに、第一の P L L 部 2 及び第二の P L L 部 3 というように、複数段の P L L 部によって P L L 回路 1 を構成した場合、各 P L L 部で発生するジッタが加算されて 2 倍になると推測することができるが、第一の P L L 部 2 及び第二の P L L 部 3 で発生するジッタはそれぞれ独立した現象であり、平均としては $2^{1/2} = 1.4$ 程度にしか増大しない。本発明では位相検波器 3 b の入力周波数と V C O 3 d の発振周波数の比率の削減はこの増大分を上回るのでジッタの増大を抑制することができるようになっている。さらに、V C O 3 d に電圧制御水晶発振器を用いることによってさらなるジッタの抑制が可能になる。

【0028】次に、図 1 で説明した P L L 回路 1 を、例えば M P E G 方式で圧縮された映像及び音声データを復調するデコーダ装置に用いた例を説明する。図 2 は P L L 回路 1 を用いたデコーダの要部、及びその周辺部を示すブロック図である。なお、この図に示す P L L 回路 1 にはプログラマブル分周器 4 が含まれて、サンプリング周波数に対応した所定のクロックが出力されるものとする。

【0029】デコーダ装置 5 は、入力した音声／映像データを復調してアナログ信号に変換して出力するようになされており、一点鎖線で示されているように、P L L 回路 1、映像データデコーダ 6、映像用の D/A 変換器 7、音声データデコーダ 8、音声用の D/A 変換器 9 によって構成されている。デコーダ装置 5 の前段にはマスタークロックを生成する P L L 回路 1 0 が設けられ、この P L L 回路 1 0 で生成されたマスタークロックは、P L L 回路 1、及び映像データデコーダ 6、D/A 変換器 7、音声データデコーダ 8 に供給される。したがって、映像データデコーダ 6、D/A 変換器 7、音声データデコーダ 8 は、同一のクロックで各種信号処理がなされることになる。また、音声用の D/A 変換器 9 はマスタークロックによって P L L 回路 1 で生成されたクロックが供給され、このクロックによって音声データの D/A 変換処理が行われるようになされている。そして、デコー

ダ装置 5 で復調された映像信号は例えば C R T や液晶パネル等で構成されている表示部で表示され、音声信号はアンプ 1 2 で増幅されてスピーカ 1 3 から出力される。

【0030】映像データデコーダ 6 には図示されていない経路から映像データが供給され、デコード処理が施された後 D/A 変換器 7 によってアナログ信号に変換され、表示部 1 1 によって表示されるようになる。音声データデコーダ 8 は、図示されていない経路から音声データが供給され、マスタークロックによってデコード処理を行う。そして、ここで復調された音声データは P L L 回路 1 で生成されたクロックに基づいてアナログ信号に変換される。そして、増幅部 1 2 で増幅されスピーカ 1 3 から出力される。

【0031】また、P L L 回路 1 では入力したマスタークロックから、図 1 で説明したように圧縮データのサンプリング周波数が例えば 3 2. 0 0 k H z の場合は 4 9. 1 5 2 M H z、4 4. 1 k H z の場合は 6 7. 7 3 7 6 M H z、4 8. 0 0 k H z 7 3. 7 2 8 M H z のクロックが生成され、これが音声用の D/A 変換器 9 に供給され、音声データデコーダ 9 で復調された音声データを読み出す際のクロックとして用いられる。

【0032】このように、デコーダ装置 5 に入力されるマスタークロックによって映像データをデコードするとともに、この P L L 回路 1 においてマスタークロックから生成されるクロックによって音声データの D/A 変換処理を行うことにより、映像と音声の同期を取ることができ、さらに、P L L 回路 1 は先述したようにジッタを抑制することができるように構成されているので、音質の劣化を抑えることができるようになる。

【0033】

【発明の効果】以上、説明したように本発明は、位相検波器の入力周波数と V C O 発振周波数の比率を小さくすることができるので、比率の大きさに起因するジッタを抑制することができるようになる。これによって、本発明を例えば圧縮された音声データを復調するデコーダ等に適用することによってジッタによる音質の劣化を低減することができるようになる。また、本発明は従来の P L L 回路とほぼ同等の P L L 部を直列に接続することによって構成することができるという利点がある。

【図面の簡単な説明】

【図 1】本発明の実施形態の P L L 回路のブロック図である。

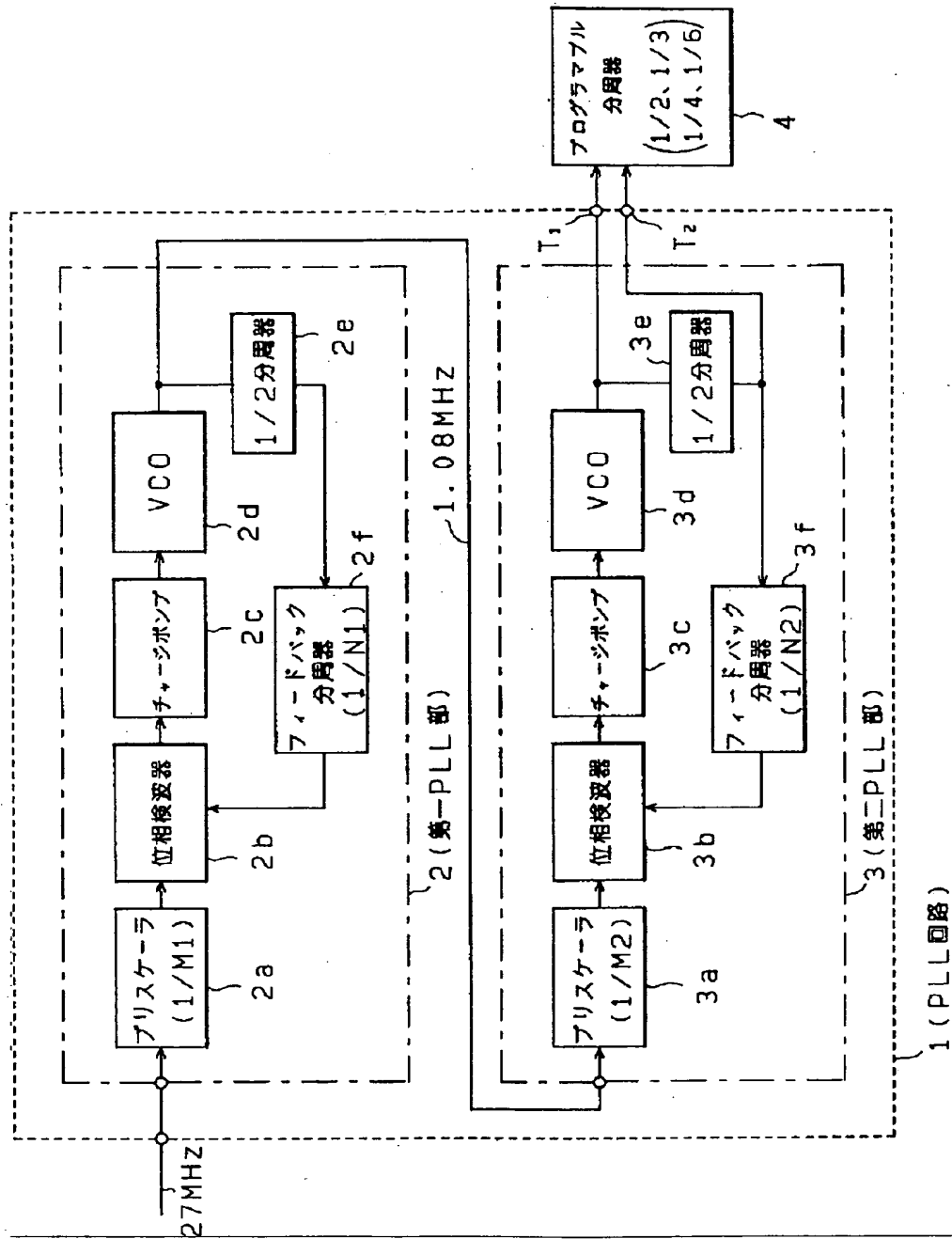
【図 2】本発明の実施形態のデコーダ装置のブロック図である。

【図 3】従来の P L L 回路のブロック図である。

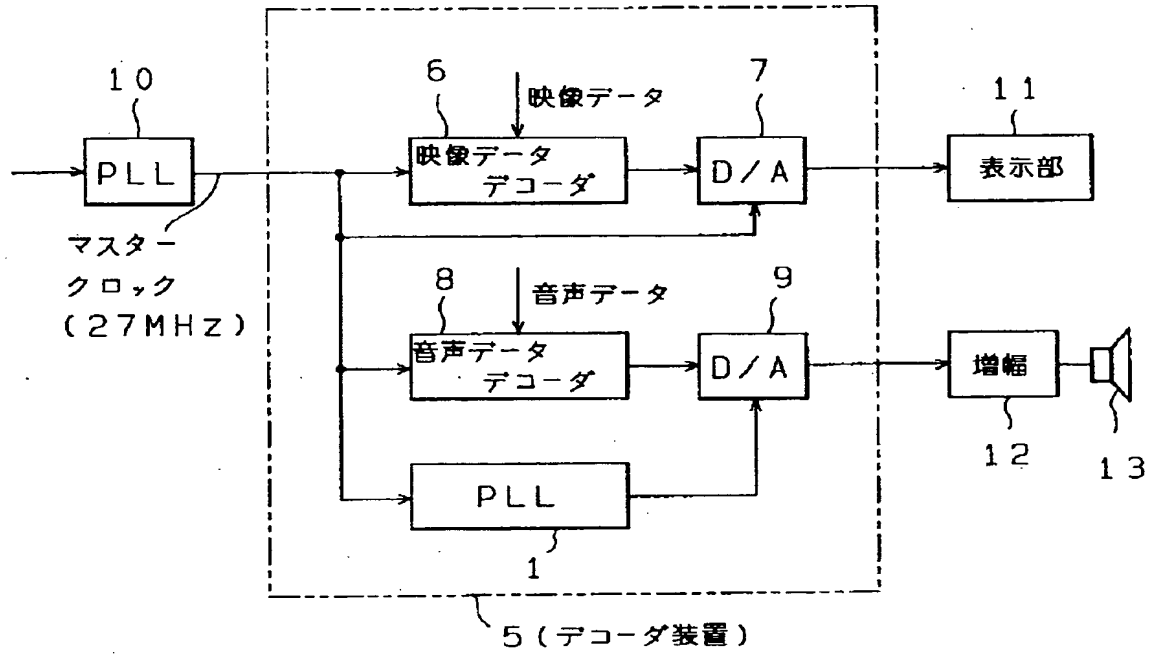
【符号の説明】

1 P L L 回路、 2、3 P L L 部、 2 a、3 a プリスケラ、 2 b、3 b 位相検波器、 2 d、3 d V C O、 2 f、3 f フィードバック分周器

【図 1】



【図 2】



【図 3】

